

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-097849

(43) Date of publication of application : 08.04.1997

(51)Int.Cl.

H01L 21/8247  
H01L 29/788  
H01L 29/792  
G11C 16/02  
G11C 16/04  
H01L 27/115  
H01L 29/786  
H01L 21/336

(21)Application number : 07-254782

(22)Date of filing : 02.10.1995

**(71)Applicant :**

**TOSHIBA CORP**

(72)Inventor :

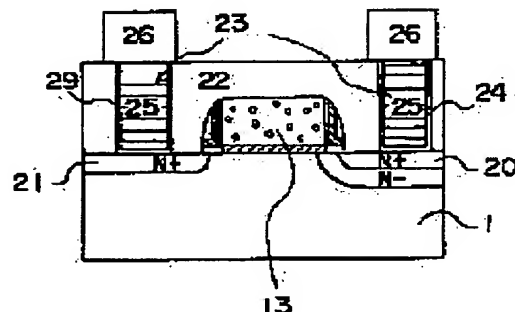
SAKAGAMI SHIGETO  
NARUGE KIYOMI

## (54) SEMICONDUCTOR DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a reliable non-volatile semiconductor storage while miniaturizing it by eliminating the need for a selective transistor.

**SOLUTION:** A semiconductor device is constituted of second-conductive-type first and second diffusion layers 20 and 21 which are formed in a first-conductive-type semiconductor substrate 1 and a gate electrode which is formed on one portion on a channel region which exists between the diffusion layers and on one portion on the first diffusion layer 20 via a first insulation film and one portion of the second insulation film which is at least in a double-layer structure and has a film thickness of 30nm or less becomes a charge storage layer on a channel region which exists between the gate electrode and the second diffusion layer 21.



## LEGAL STATUS

[Date of request for examination]

08.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

**[Date of registration]**

[Number of appeal against examiner's decision of rejection]

**[Date of requesting appeal against examiner's decision of rejection]**

**[Date of extinction of right]**

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-97849

(43) 公開日 平成9年(1997)4月8日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/8247			H 0 1 L 29/78	3 7 1
			G 1 1 C 17/00	3 0 7 D
			H 0 1 L 27/10	4 3 4
G 1 1 C 16/02			29/78	6 1 7 A
16/04				

審査請求 未請求 請求項の数17 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願平7-254782

(22) 出願日 平成7年(1995)10月2日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 坂上 栄人

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 成毛 清実

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

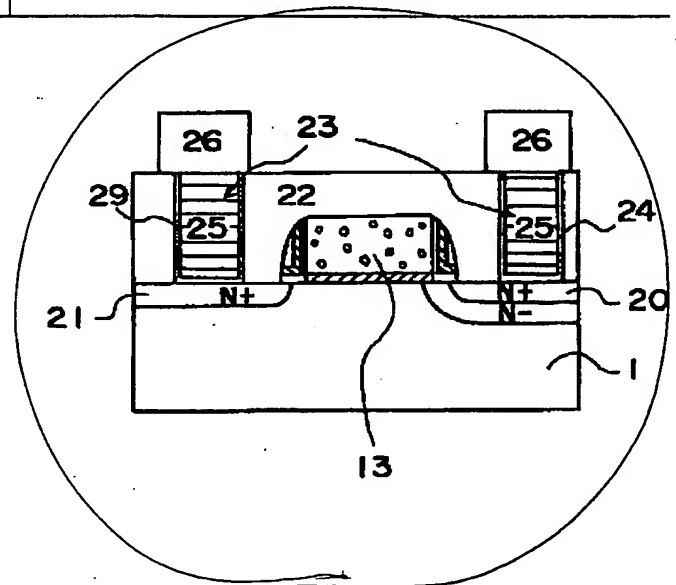
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 選択トランジスタが不要で微細化を図りつつ、信頼性の高い不揮発性半導体記憶装置を提供すること。

【解決手段】 第一導電型の半導体基板 (1) 内に形成された第二導電型の第一、第二の拡散層 (20、21) と、これらの拡散層間に存在するチャネル領域上の一部と第一の拡散層上の一部に第一の絶縁膜を介して形成されたゲート電極とから構成され、このゲート電極と第二の拡散層の間に存在するチャネル領域上に、少なくとも2層構造で膜厚が30nm以下となる第二の絶縁膜の一部が電荷蓄積層となることを特徴とする半導体装置を提供する。



(2)

1

## 【特許請求の範囲】

【請求項1】第一導電型の半導体基板内に形成された第二導電型の第一、第二の拡散層と、

これらの第一、第二の拡散層間に存在するチャンネル領域上の一部と第一の拡散層上の一部に第一の絶縁膜を介して形成されたゲート電極とから構成され、

このゲート電極と第二の拡散層の間に存在するチャンネル領域上に、少なくとも2層構造で膜厚が30nm以下となる第二の絶縁膜を持ち、この第二の絶縁膜の一部が電荷蓄積層となることを特徴とする半導体装置。

【請求項2】請求項1において、前記第二の絶縁膜が前記ゲート電極の側壁材となることを特徴とした半導体装置。

【請求項3】請求項1において、前記第二の絶縁膜の構成が、前記半導体基板上より2nm以上10nm以下のシリコン酸化膜、0.5nm以上7nm以下のシリコン窒化膜の2層構成となることを特徴とした半導体装置。

【請求項4】請求項3において、前記第二の絶縁膜がゲート絶縁膜である前記第一の絶縁膜を兼ねることを特徴とした半導体装置。

【請求項5】請求項1において、前記第二の絶縁膜上にシリコン酸化膜が少なくとも1nm以上存在することを特徴とした半導体装置。

【請求項6】請求項1において、前記第二の絶縁膜の構成が、前記半導体基板上よりシリコン酸化膜、タンタル酸化膜の2層構成となることを特徴とした半導体装置。

【請求項7】請求項1において、前記第二の絶縁膜の構成が、前記半導体基板上よりシリコン酸化膜、チタン酸ストロンチウム、またはバリウムチタン酸ストロンチウムの2層構成となることを特徴とした半導体装置。

【請求項8】請求項1において、前記第一の拡散層が不純物濃度の低い領域を外側に、不純物濃度の高い領域を内にもつ二重拡散構造を持つことを特徴とする半導体装置。

【請求項9】第一導電型の半導体基板内に形成された第二導電型の第一、第二の拡散層と、

これらの第一、第二の拡散層間に存在するチャンネル領域上の一部と第一の拡散層上の一部に第一の絶縁膜を介して形成されたゲート電極とから構成され、

このゲート電極と第二の拡散層の間に存在するチャンネル領域上にゲート電極と容量結合したフローティングゲートを持ち、このフローティングゲートのゲート絶縁膜が少なくとも3層構造であり膜厚が30nm以下となる第二の絶縁膜を持ち、この第二の絶縁膜の一部が電荷蓄積層となることを特徴とする半導体装置。

【請求項10】請求項9において、ゲート絶縁膜である第一の絶縁膜が少なくとも3層構造をもち、第二の絶縁膜を兼ねることを特徴とした半導体装置。

【請求項11】請求項9において、前記第二の絶縁膜の構成が、前記半導体基板上より2nm以上10nm以下

2

のシリコン酸化膜、0.5nm以上7nm以下のシリコン窒化膜、2nm以上10nm以下のシリコン酸化膜の3層構成となることを特徴とした半導体装置。

【請求項12】請求項9において、前記第二の絶縁膜が、前記ゲート電極とゲート側壁部フローティングゲートとの間の絶縁膜となることを特徴とした半導体装置。

【請求項13】請求項9において、前記第二の絶縁膜の構成が、前記半導体基板上よりシリコン酸化膜、タンタル酸化膜、シリコン酸化膜の3層構成となることを特徴とした半導体装置。

【請求項14】請求項9において、前記第二の絶縁膜の構成が、前記半導体基板上よりシリコン酸化膜、チタン酸ストロンチウムまたはバリウムチタン酸ストロンチウム、シリコン酸化膜の3層構成となることを特徴とした半導体装置。

【請求項15】請求項1または9において、前記第一の拡散層を開放状態とし前記第二の拡散層に電位を与えアバランシェホットキャリアを発生させ、前記ゲート電極にかける電位により第二の絶縁膜の電荷蓄積層に選択的に電子または正孔を注入することを特徴とする半導体装置。

【請求項16】請求項1または9において、前記第二の拡散層に電位を与え前記第二の拡散層端部の空乏層領域内でホットキャリアを発生させ、前記ゲート電極にかける電位により第二の絶縁膜の電荷蓄積層に選択的に電子または正孔を注入することを特徴とする半導体装置。

【請求項17】請求項1または9において、前記第二の拡散層に電位を与え前記第二の拡散層端部の空乏層領域内でホットキャリアを発生させる時に、前記第二の拡散層に与える電位を共有する非選択セルのゲート電極に与える電位を、前記第二の拡散層端において電子ならびに正孔が注入されない条件としたことを特徴とする半導体装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データの書き込み、消去、読み出し動作を行う不揮発性半導体メモリ装置に係わる。

【0002】

【従来の技術】近年、電気的な書き込み・消去可能な不揮発性メモリ（フラッシュEEPROM）のメモリセルとして、MONOS（Metal-Oxide-Nitride-Oxide-Silicon）構造を持つメモリセルが提案されている。図16は、MONOS構造のメモリセルを説明するための図である。図16において、1は基板またはウェル（P型不純物領域）、2はドレイン（濃いN型不純物領域）、3はソース（濃いN型不純物領域）、4はシリコン酸化膜、5はSiN膜、6はシリコン酸化膜、7はコントロールゲート、9は積層ゲート加工後に形成した酸化膜を示す。この形のメモリ

(3)

3

セルでは、ゲート絶縁膜のSiN膜(5)に電荷を注入し、SiN膜(5)中の電荷捕獲中心に電荷をトラップさせたり、このトラップさせた電荷をSiN膜(5)中より引き出したりすることでセルのしきい値を制御し、メモリ機能を持たせている。MONOS型のメモリセルをもつ不揮発性メモリでは、次の様な、書き込み方法、消去方法、読みだし方法が提案されている。(ここで「書き込み」を電荷のSiN膜の中への注入、消去を電荷のSiN膜中からの引き抜きと定義する。)書き込み方法としては、ドレイン(2)近傍のチャネル領域

(8)でチャネルホットエレクトロン(CHE)を発生させSiN膜(5)に電子注入させる方式、コントロールゲート(7)とドレイン(2)または、チャネル領域(8)または、ソース(3)の間に高電界をかけることによりSiN膜(5)中に電子をFN(Fowler-Nordheim)注入させる方式等が代表的である。また消去方法としては、コントロールゲート(7)とソース(3)または、ドレイン(2)または、チャネル領域(8)の間に高電界をかけることでSiN膜中の電子を基板側にFN(Fowler-Nordheim)トンネル電流として放出させる方法が代表的である。

#### 【0003】

【発明が解決しようとする課題】FNトンネルにより、ソースまたはドレインで書き込み・消去を行うMONOS型セルでは、ゲート絶縁膜の電荷の注入領域に対して高電界を印加する必要がある。この場合、ゲート絶縁膜下のソースまたはドレイン領域の表面不純物濃度が低いと、高電界を印加するゲート絶縁膜下領域で空乏化がおき十分な電界が発生しなくなる。また、電極となるソースまたはドレイン領域とコントロールゲートの間の距離が離れている場合にも十分な電界が発生しなくなる。このように高電界がかからない場合、十分なFNトンネルが発生しないので、書き込み・消去特性が劣化する。従って書き込み・消去にソースまたはドレインにおいて電荷のFNトンネルを用いる方式では、ソースまたはドレインとゲートの間には十分にオーバーラップ領域を設けてかつ、ソースまたはドレインのゲート電極下の不純物濃度を、高濃度に保っておく必要がある。ドレインからCHEで書き込む場合においても、ホットエレクトロンの注入効率を下げないためにゲート電極下のドレイン不純物濃度を下げることができないので、FN書き込み・消去と同様な状況となる。以上の理由によりソースまたは、ドレインの不純物濃度が下げられないため、浅い接合が形成できずセルトランジスタの微細化に対して大きな問題となる。また、FN注入を用いる場合、高電界を印加するため絶縁膜中を通過する電荷のエネルギーが大きくなり、絶縁膜の絶縁特性劣化や、絶縁膜中のトラップ量の増大を招く。これは不揮発性メモリの書き換え特性やデータ保持特性の劣化を引き起こす。

【0004】このMOMOSセルでは、選択トランジス

4

タがないため、書き込み・消去を行う場合、選択したセルと同じビット線、またはワード線を共有する非選択セルに対して、データを破壊するディスタープ現象が問題となる。例えば、ドレイン側でCHEによりONO(Oxide-Nitride-Oxide)絶縁膜に電子注入し書き込みを行う場合、同じビット線に繋がっているセルの書き込みが終了するまで、最初にかかれたセルのドレインには高電位のストレスがかかり続ける状態になる。このストレス電界はONO絶縁膜から電子が抜ける方向になるため、同じビット線の書き込みが終了した時点で、このストレスによる電子の抜けが大きいと、データが反転して、データ破壊が起こる。この現象は、ドレインディスタープと呼ばれる。

【0005】FNトンネルにより、チャネル領域を用いて書き込み・消去を行うMONOS型セルでは、ワード線、ビット線によるマトリクス型のセルアレイを構成する場合、誤書き込みを防ぐため選択トランジスタが必要となる。この書き込み・消去を行うNOR型セルアレイでは、各セル毎に選択トランジスタが必要となるため微細化できないという欠点がある。NAND型では、選択トランジスタの数は1つのNAND接続に対して2つと減るため微細化に対して若干有利となるが、セルを直列接続させるので書き込み時の書き込み量や、非書き込みセルに対して与える電位の制御が複雑となり、制御回路の増大をまねくといった問題がある。

#### 【0006】

【課題を解決するための手段】本発明は、メモリセルのゲートの側壁下部の基板上にONO構成の絶縁膜を形成し、この部分をオフセット領域とする。この絶縁膜中のSiN膜に電荷を注入し、SiN膜中の電荷捕獲中心に電荷をトラップさせたり、このトラップさせた電荷をSiN膜より引き出したり、トラップさせた電荷の反対の極を持つ電荷を注入させたりすることで、このONO絶縁膜下部のチャネルの抵抗を変調させ、セルに流れる電流を変化させることでメモリ機能をもたせることを特徴としている。ここでゲート側壁に、例えば不純物をドーブしたポリシリコン電極をもちいるとゲート電極との容量結合によりオフセット領域のチャネル部分の電位を制御できるので、電荷注入の効率と制御性を上げることができる。このセルを用いるとチャネル領域で電荷を注入するMONOSセルのように選択トランジスタは必要でなくなる。またこの構造のセルでは注入側の電極となるソースまたは、ドレイン拡散層をゲート電極にオーバーラップさせる必要がなくなるので浅い拡散層が形成できセルトランジスタの微細化が可能となる。絶縁膜への電荷注入方法は、注入電極となるドレインまたは、ソースでバンド間トンネルリーク電源によるホットキャリアまたはアバランシェホットキャリアを発生させる。このときゲートの電位を制御することで、絶縁膜に注入される電荷を電子または正孔に選択できる。ここで発生するホ

(4)

5

ットキャリアのエネルギーはFN電流で発生するホットキャリアに比べて比較的低いエネルギーとなるので、絶縁膜に対するダメージは小さくなるためセルの信頼性を向上させることができる。また同一ビット線上の非選択セルに対するディスタープにおいては、非選択セルのゲート電位を図14のV<sub>a</sub>のように、電子も正孔も注入されないような条件の電位に近づけておけばディスタープを小さく抑えることができる。

【0007】

【発明の実施の形態】続いて、本発明の最良の実施形態を図1～図15を参照して説明する。図1は本発明の第一の実施例の不揮発性半導体メモリセルの断面図である。続いて、本発明の第一の実施例の不揮発性半導体メモリセルの製造方法を図2～図6及び図1を参照して説明する。

【0008】図2に示すように基板(1)上に周知の技術により所定の素子分離領域(10)を形成した後、メモリセル領域のシリコン基板上に第一の絶縁膜層としてシリコン酸化膜(11)を形成し、第一のシリコン酸化膜上にポリシリコン(12)をたとえば100～200nm堆積したのち、砒素、リン、などのn型不純物たとえば、 $2\sim 4 \times 10^{20} \text{ cm}^{-3}$ 程度ドーピングして金属化される。第一の絶縁膜(11)はシリコン基板の酸化、またはシリコン酸化膜の堆積により形成する。ここでゲート電極の抵抗を低抵抗化させる場合、このポリシリコン上に、WSi、MoSiなどの高融点金属シリサイド層を堆積しポリサイド構造とするか、またはWなどの高融点金属を堆積しポリメタル構造とする。

【0009】続いて、図3に示すように、メモリセルのゲートのパターンニングを行いゲート電極(13)を形成し、基板の酸化またはシリコン酸化膜の堆積を行い、酸化膜(14)を形成する。この酸化膜(14)の膜厚は電荷注入領域での電界が十分強くなるようにするため、また電荷蓄積層へのトンネルが十分起こりやすくするため10nm以下の膜厚にする。膜の下限は電荷注入層からのバックトンネルを制御するため、2nm以上あるとよい。このとき電荷注入領域のしきい値を調節するため酸化または酸化膜堆積前にイオン注入により、所定の不純物を導入することもできる。

【0010】次に、図4に示すようにセルトランジスタのオフセット領域側をソース側につくる場合、ソース領域を、例えばフォトレジスト(15)などによりマスクした状態でイオン注入などの周知の技術によりN型不純物を導入し、ドレイン側のN型拡散層(16)を形成する。このときのドレイン側へのイオン注入量を、例えば $5 \times 10^{12} \sim 5 \times 10^{14} \text{ cm}^{-2}$ とし比較的濃度の薄いN型拡散層を形成することでLDD(Lightly Doped Drain)構造とし、実効チャネル長を長くすることもできる。

【0011】次に、図5に示すように、電荷蓄積層となるSiN層(17)を堆積し、シリコン酸化膜(18)

6

をCVD法などの周知の技術によりSiN膜(17)上に堆積する。

【0012】図6に示すように、エッチバックなどの方法により、ゲート側壁(19)を形成し、イオン注入などの周知の技術によりN型不純物を導入し、ドレイン(20)とソース(21)のN型拡散層を形成する。このゲートの側壁(19)の幅により電荷注入領域の幅が規定されることになる。ここで、SiN層(17)の膜厚は電荷注入領域での電界を強くするため、7nm以下の膜厚とする。この電荷蓄積層となるSiN膜厚の下限は電荷のトラップ密度により決めることができるが少なくとも0.5nm以上あるとよい。また本実施例では、電荷蓄積層としてSiNを用いたが、例えばタンタル酸膜、チタン酸ストロンチウム、PZT、のように電荷トラップの十分多い膜でかつ比誘電率が高くかつ、絶縁耐性があり、装置の製造過程に敵した膜であれば何でもよい。またこの酸化膜(18)により、SiN膜中に蓄えられた電荷の外方への拡散防ぐことができるので、セルのデータ保持特性の改善を図ることができる。ドレイン(20)とソース(21)のN型拡散層形成のためのイオン注入量は、例えば $5 \times 10^{14} \sim 1 \times 10^{16} \text{ cm}^{-2}$ とし比較的濃度の濃いN型拡散層を形成する。ここで、コントロールゲート(13)とソース拡散層(21)端部との間の距離は、電荷注入時に十分な電界が得られるように決める。例えば25nm以下の距離とする。この距離は、ゲート側壁の幅やソースのイオン注入後の熱拡散工程により調節することができる。また、ゲート側壁(19)に使う膜の誘電率によっても調整することができる。この後、図1に示すように、通常のMOS集積回路の製造方法に従い、層間絶縁膜(22)を形成し、ソース・ドレイン領域上の層間絶縁膜の一部を開口した後、コンタクトホール(23)を形成し、周知の技術によりコンタクトホールへバリア層(24)形成後、Wプラグ(25)を埋め込み、A1電極(26)を形成すると、メモリセルが完成する。

【0013】図7に、本実施例のようにソース側に注入領域を設ける場合の配置方法を図8に未発明の不揮発性半導体装置の回路ブロック図を示す。図15には、ドレイン側に注入領域を設けてチャネルホットエレクトロンで書き込み、ドレインアバランシェホットホールで消去する場合の配置方法を示す。また、本実施例はP型基板上に形成した場合について述べたが、本構造はN型半導体基板上に形成したP-well上にメモリセルを形成した場合、SOI(Silicon on Insulator)基板上のP型領域に形成した場合でも同様である。また本実施例ではソース側に電荷注入領域を設けることも可能であるが、本実施例と同様にして、ドレイン側に電荷注入領域を設けることも可能である。本実施例では、ONO絶縁膜をゲート側壁部及びゲート側壁下に用いる構造を示したものであるが、図のようにONO絶縁膜をセルトラン

(5)

7

ジスタのゲート絶縁膜として形成した後、ゲート側壁を形成することも可能である。

【0014】続いて図12(a), (b)を用いて、本実施例の動作について説明する。ソース側に電荷の注入領域を設ける場合の書き込みは、次のようにして行う。ソースに正の電位を印加しドレインを開放状態で、ソース拡散層端部の基板領域で電界が $7\text{MV}/\text{cm}$ 以上になるとアバランシェホットキャリアの発生が顕著になる。このとき図14に見られるようにゲート電位をある電位( $V_a$ )より正の方向にもって行くと、電荷注入領域に注入される電荷はホットエレクトロンリッチとなり、電荷蓄積層には電子が貯蓄される。(N. Matsukawa et al. 1995 IRPS) この状態では、読み出し動作的にソース側の電荷蓄積層下のチャンネルがオフされるので、例えばゲートに $5\text{V}$ 、ドレインに $1\text{V}$ 、ソースに $0\text{V}$ をかけても、電流がほとんど流れないため書き込みされたと判定できる。消去は、アバランシェホットキャリアを使う方法と、FNトンネルを用いる2つの方法がある。アバランシェホットホールを用いる場合は、書き込み時と同様に、ゲート電位をある電位より負の方向に持っていくと、電荷注入領域に注入される電荷はホットホールリッチとなり、電荷蓄積層には正孔が蓄積されるようになる。この状態では電荷蓄積層下のチャンネルがオンされるので、読み出し動作時に電流が流れるために消去されたと判定できる。FNトンネルを用いる場合は、アバランシェホットホール注入時のゲート電位をさらに負の方向に持って行き、ゲート・ソース間の電界より強くすることにより、蓄積層内の電子を引き抜くことができる。書き込み・消去時における非選択セルのゲート電位を図14における電子・正孔ともに注入されないような条件( $V_a$ )にしておけばディスタープ現象は起きない。

【0015】次にドレイン側に電荷蓄積層を設けた場合、書き込み・消去をソース側に電荷蓄積層を設けた場合と同じように行うことができるが、ソースを開放状態にせず接地状態にすると、セルのチャンネルに多くの電流が流れるためホットエレクトロン、ホットホールの注入効率を上げることができる。(S. Yamada et al. 1991 EDM) 書き込み時には、ソース・ドレイン間に電流を流し、ドレイン側でチャンネルホットエレクトロン発生させ、電子を注入させる方法もある。

【0016】次に、本発明の第二の実施例である、不揮発性半導体メモリセルについて、図9～図11を用いて説明する。ゲートのパターンニングから電荷蓄積層となるSiN(17)の堆積までは第一の実施例の工程までと同じである。図10ではSiN膜(17)堆積後、シリコン酸化膜(27)を堆積しその上にポリシリコン(28)を例えば $20\sim 200\text{nm}$ 堆積した後、砒素、リンなどのN型不純物をたとえば、 $2\sim 4\text{e}20\text{cm}^{-3}$ ドーピングして金属化させる。ここで、SiN膜(17)上の酸化膜(27)の膜厚は、SiN膜中に蓄えら

8

れた電荷の外方への拡散、またはポリシリコンサイドウォール(29)からのホール注入を防ぐため $2.5\text{nm}$ 以上の膜厚とする。図11では、エッチバックなどの方法により、ポリシリコンサイドウォール(29)を形成し、イオン注入などの周知の技術によりN型不純物を導入し、ドレイン(20)とソース(21)のN型拡散層を形成する。このときのイオン注入量は、例えば $5\text{e}14\sim 1\text{e}16\text{cm}^{-2}$ とし比較的濃度の濃いN型拡散層を形成する。この後、図9では、第一の実施例と同様の工程をへてメモリセルが完成する。

【0017】次に本実施例の動作について図13を用いて説明する。ソース側に電荷の注入領域を設ける場合の書き込みは、第一の実施例と同様にして行う。ソースに正の電位を印加しドレインを開放状態とする。ここでゲートに電位を印加した場合、側壁のポリシリコン電極は、ゲートとソースと基板に容量結合しているため、側壁ポリシリコン電極の電位は、各電極との容量結合比によってきまる。本実施例のセルをセルアレイとして用いる場合、例えばゲートの高さを $200\text{nm}$ 、ポリシリコン側壁の幅を $100\text{nm}$ 、セルトランジスタのゲート幅を $0.4\mu\text{m}$ 、ワード線方向のピッチを $0.8\mu\text{m}$ とすると、側壁ポリシリコンとゲート間の容量は全容量の約80%となり、基板電位が接地状態の場合、側壁ポリシリコン電位は、ゲート電位の80%程度の電位となる。このようにゲート電位によって側壁ポリシリコン電極の電位を制御することができる。側壁ポリシリコンの電位をある電位より正の方向に持っていくようにゲート電位を印加すると、ソース拡散層端部で発生したホットキャリアの中で電荷注入領域に注入される電荷はホットエレクトロンリッチとなり、電荷蓄積層には電子が蓄積される。この場合、読み出し動作時、側壁下のチャンネルは側壁電位の上昇でオンする場合も考えられるが、書き込みされていない場合に比べて、流れる電流は極めて小さくなるので書き込みされたと判定できる。消去も書き込みと同様に、ゲート電位により側壁ポリシリコン電位を制御することで行うことができる。ドレイン側に電荷蓄積層を設けた場合も、第一の実施例と同様に書き込み・消去を行うことができる。

【0018】

【発明の効果】本発明では、セルが電荷注入層下のオフセット領域とトランジスタの直列結合で成り立っているため、チャンネル領域で電荷を注入するMONOSセルのように選択トランジスタは必要でなくなる。またセルトランジスタのソース・ドレインに浅い拡散層を形成することができるのでセルトランジスタのゲート長の微細化が図れる。絶縁膜への電荷の注入方法として、注入電極となるドレインまたは、ソースでバンド間トンネルリーク電流によるホットキャリアまたはアバランシェホットキャリアを発生させており、FN電流で発生するホットキャリアに比べて比較的低いエネルギーとなるので、絶

(6)

9

縁膜に対するダメージは小さくなり、セルの信頼性を向上させることができる。また同一ビット線上の非選択セルに対するディスタープに対しては、非選択セルのゲート電位を調整することでほとんどディスタープが起こらない様にする事ができる。

【図面の簡単な説明】

【図1】本発明の第1実施例の半導体記憶装置の断面図である。

【図2】本発明の第1実施例の半導体記憶装置の製造方法を示す断面図である。

【図3】本発明の第1実施例の半導体記憶装置の製造方法を示す断面図である。

【図4】本発明の第1実施例の半導体記憶装置の製造方法を示す断面図である。

【図5】本発明の第1実施例の半導体記憶装置の製造方法を示す断面図である。

【図6】本発明の第1実施例の半導体記憶装置の製造方法を示す断面図である。

【図7】本発明のメモリセルを用いた半導体記憶装置のメモリセルアレイである。

【図8】本発明の半導体記憶装置の回路構成図である。

【図9】本発明の第2実施例の半導体記憶装置の断面図である。

【図10】本発明の第2実施例の半導体記憶装置の製造方法を示す断面図である。

【図11】本発明の第2実施例を半導体記憶装置の製造方法を示す断面図である。

【図12】本発明の半導体記憶装置の動作方法を示す図である。

【図13】本発明の半導体記憶装置の動作方法を示す図である。

【図14】本発明のメモリセルの特性を示す図である。

10

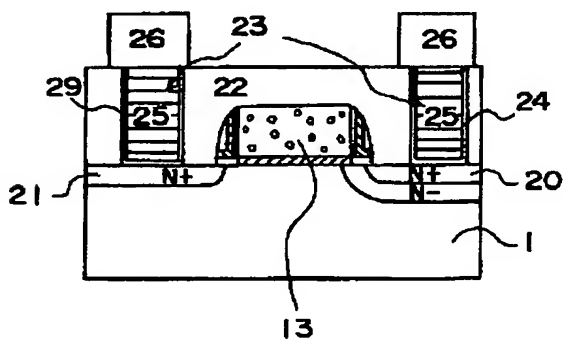
【図15】本発明のメモリセルを用いた半導体記憶装置のメモリアルアレイのさらに別の構成図である。

【図16】従来の半導体記憶装置の断面図である。

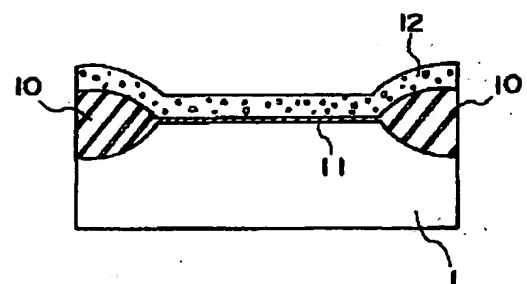
【符号の説明】

- 1…基板またはウェル（P型不純物領域）、
- 2…ドレイン（濃いN型不純物領域）、
- 3…ソース（濃いN型不純物領域）、
- 4…シリコン酸化膜、
- 5…SiN膜、
- 6…シリコン酸化膜、
- 7…コントロールゲート、
- 9…積層ゲート加工後に形成した酸化膜、
- 10…素子分離領域、
- 11…ゲート絶縁膜、
- 12…ゲート電極となるポリシリコン層、
- 13…ゲート電極、
- 14…シリコン酸化膜、
- 15…フォトリソグ、
- 16…N型拡散層、
- 17…電荷蓄積層となるSiN層、
- 18…シリコン酸化膜、
- 19…ゲート側壁、
- 20…ドレインN型拡散層、
- 21…ソースN型拡散層、
- 22…層間絶縁膜、
- 23…コンタクトホール、
- 24…バリア層、
- 25…Wプラグ、
- 26…A1電極、
- 27…シリコン酸化膜、
- 28…ポリシリコン層、
- 29…ポリシリコンサイドウォール、

【図1】



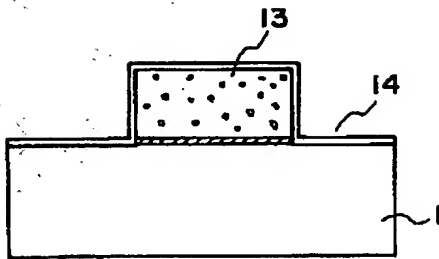
【図2】



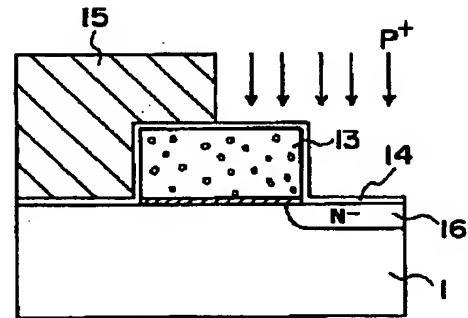


(7)

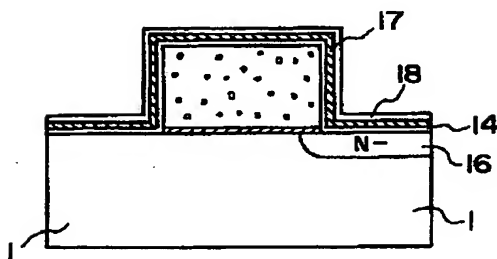
【図3】



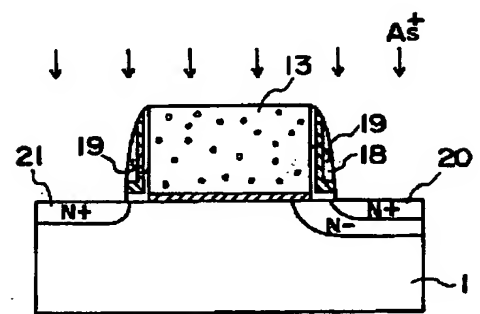
【図4】



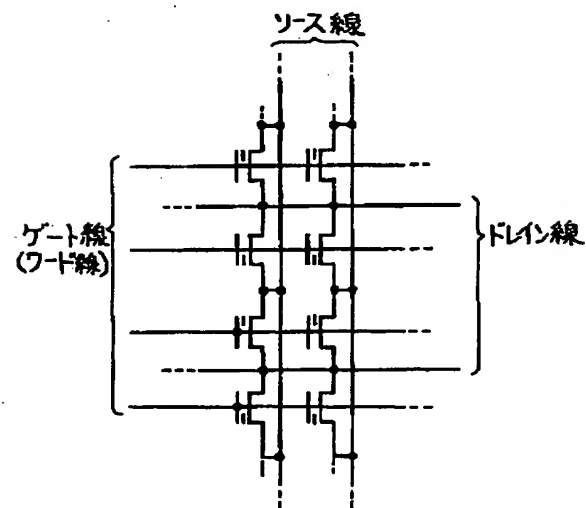
【図5】



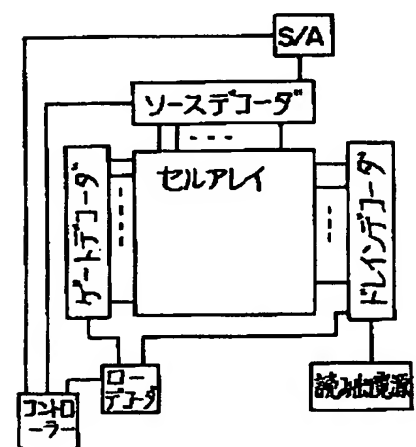
【図6】



【図7】



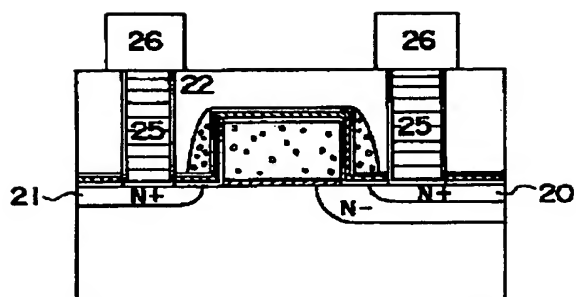
【図8】



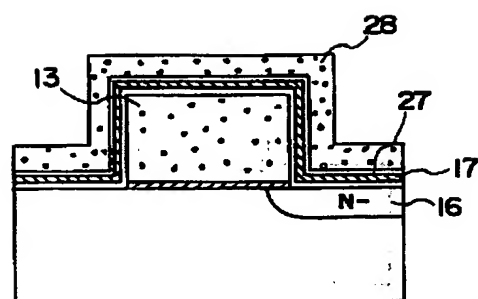


(8)

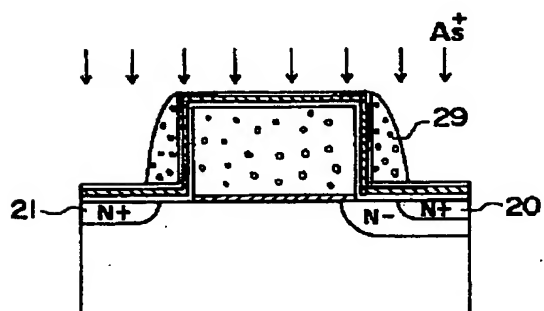
【図9】



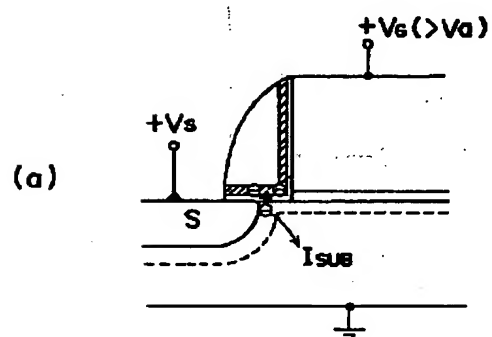
【図10】



【図11】

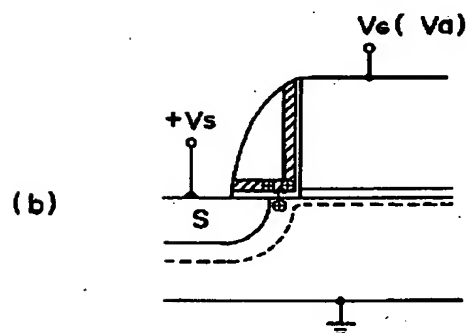
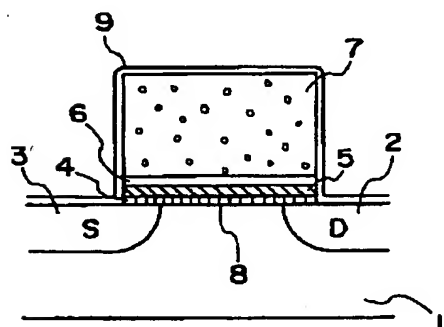


【図12】



書き込み

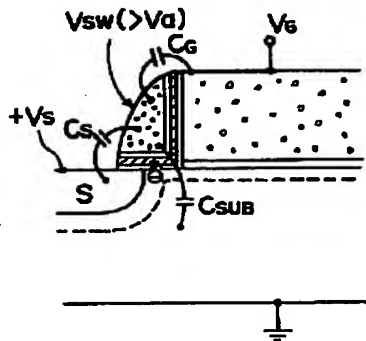
【図16】



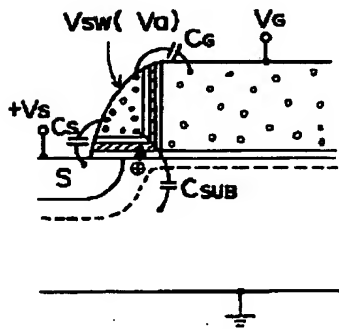
消去

(9)

【図13】

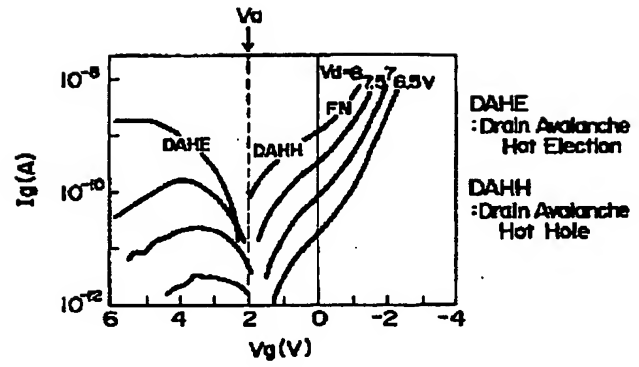


書き込み

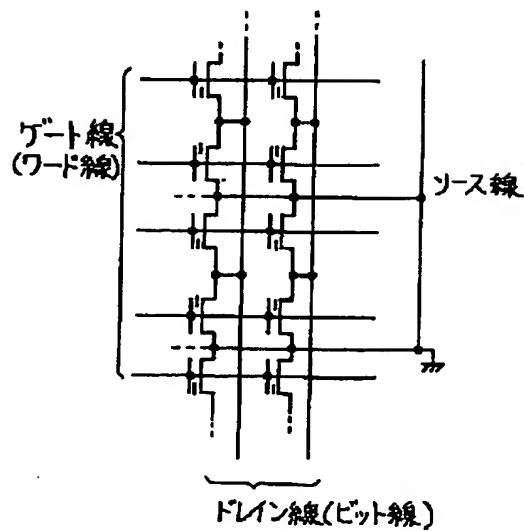


消去

【図14】



【図15】



(10)

フロントページの続き

(51)Int. Cl. 6

H 0 1 L 27/115

29/786

21/336

識別記号

庁内整理番号

F I

技術表示箇所